

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-258229

(43)Date of publication of application : 12.09.2003

(51)Int.Cl.

H01L 27/146
H04N 5/335

(21)Application number : 2002-053945

(71)Applicant : CANON INC

(22)Date of filing : 28.02.2002

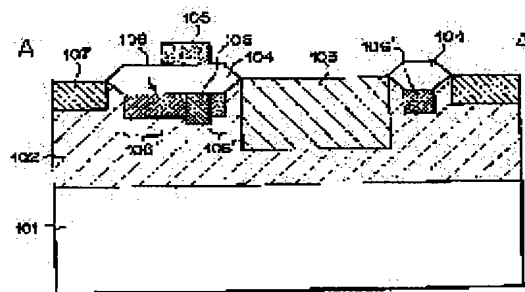
(72)Inventor : OKITA AKIRA

(54) SEMICONDUCTOR DEVICE, PHOTOELECTRIC CONVERTER AND IMAGING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the leak current of a photodiode.

SOLUTION: The photoelectric converter comprises a photodiode having an n-type semiconductor region 103 formed in a p-type semiconductor layer 102, an isolation insulating film 104 formed between the photodiode and an adjacent element, a channel stop region 106 of higher concentration than the p-type semiconductor layer 102 formed beneath the isolation insulating film, and an interconnect layer 105 formed on a part of the isolation insulating film wherein a p+ dark current reducing region of higher concentration than the channel stop region 106 is provided at least partially in the region facing the interconnect layer 105 through the isolation insulating film.



LEGAL STATUS

[Date of request for examination]

21.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-258229
(P2003-258229A)

(43)公開日 平成15年9月12日(2003.9.12)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L 27/146		H 0 4 N 5/335	U 4 M 1 1 8
H 0 4 N 5/335		H 0 1 L 27/14	A 5 C 0 2 4

審査請求 未請求 請求項の数15 ○ L (全 9 頁)

(21)出願番号 特願2002-53945(P2002-53945)

(22)出願日 平成14年2月28日(2002.2.28)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 沖田 彰

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100065385

弁理士 山下 穰平

Fターム(参考) 4M118 AA05 AA10 AB01 BA14 CA03

CA04 CA09 DC05 FA06 FA26

FA27 FA28 FA34 FA42

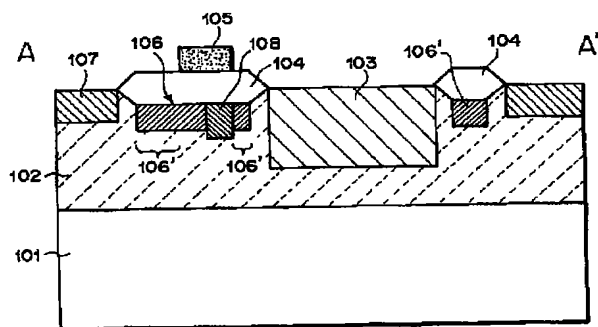
5C024 CX03 CX32 GY41 HX17 HX55

(54)【発明の名称】 半導体装置、光電変換装置および撮像装置

(57)【要約】

【課題】 フォトダイオードのリーク電流を低減する。

【解決手段】 p型半導体層102内に形成されたn型半導体領域103を有するフォトダイオードと、フォトダイオードと隣接する素子との間に形成された素子分離絶縁膜104と、素子分離絶縁膜の下部に形成されたp型半導体層102よりも高濃度のチャネルストップ領域106と、素子分離絶縁膜上の一部に配線層105が形成されている光電変換装置において、配線層105が素子分離絶縁膜を挟んで対向する領域の少なくとも一部にチャネルストップ領域106よりも高濃度のp⁺暗電流低減領域を設けた。



【特許請求の範囲】

【請求項 1】 第 1 導電型の第 1 の半導体領域及び該第 1 の半導体領域内に形成された第 2 導電型の第 2 の半導体領域を有する半導体素子と、前記半導体素子と隣接する素子との間に形成された素子分離絶縁膜と、前記素子分離絶縁膜の下部に形成された前記第 1 の半導体領域の濃度よりも高い濃度の第 1 導電型の第 3 の半導体領域と、前記素子分離絶縁膜上の一部に形成された導電体層とを有する半導体装置において、

前記導電体層が前記素子分離絶縁膜を挟んで対向する領域の少なくとも一部に前記第 3 の半導体領域の濃度よりも高い濃度の第 1 導電型の第 4 の半導体領域を設けたことを特徴とする半導体装置。

【請求項 2】 第 1 導電型の第 1 の半導体領域及び該第 1 の半導体領域内に形成された第 2 導電型の第 2 の半導体領域を有する光電変換素子と、前記光電変換素子と隣接する素子との間に形成された素子分離絶縁膜と、前記素子分離絶縁膜の下部に形成された前記第 1 の半導体領域の濃度よりも高い濃度の第 1 導電型の第 3 の半導体領域と、前記素子分離絶縁膜上の一部に形成された導電体層とを有する光電変換装置において、前記導電体層が前記素子分離絶縁膜を挟んで対向する領域の少なくとも一部に前記第 3 の半導体領域の濃度よりも高い濃度の第 1 導電型の第 4 の半導体領域を設けたことを特徴とする光電変換装置。

【請求項 3】 請求項 2 に記載の光電変換装置において、前記導電体層の少なくとも一部が、前記光電変換素子が信号を蓄積している期間の少なくとも一部で前記第 3 の半導体領域中の少数キャリア濃度を高める電圧印加動作を行っている光電変換装置。

【請求項 4】 請求項 2 又は請求項 3 に記載の光電変換装置において、前記素子分離絶縁膜により前記第 2 の半導体領域と分離された、第 2 導電型の第 2 の半導体領域の濃度より高濃度の第 5 の半導体領域を有し、前記第 5 の半導体領域と前記第 4 の半導体領域との間に前記第 1 の半導体領域及び／又は第 3 の半導体領域が存在する光電変換装置。

【請求項 5】 請求項 4 に記載の光電変換装置において、前記第 5 の半導体領域が前記光電変換素子の電荷を保持する機能を有している光電変換装置。

【請求項 6】 請求項 2 から 5 のいずれか 1 項に記載の光電変換装置において、前記第 4 の半導体領域が、前記導電体層が前記素子分離絶縁膜を挟んで対向する領域を内包する形状であることを特徴とする光電変換装置。

【請求項 7】 請求項 2 から 6 のいずれか 1 項に記載の光電変換装置において、前記第 4 の半導体領域の一部が前記第 2 の半導体領域に近接又は接して形成されている光電変換装置。

【請求項 8】 請求項 7 に記載の光電変換装置において、前記第 4 の半導体領域のうち前記第 2 の半導体領域

に近接又は接した部分の表面からの深さが、前記素子分離絶縁膜の下に位置する、前記第 3 の半導体層よりも深く、もしくは第 4 の半導体層の前記近接又は接した部分以外の領域よりも深く形成されている光電変換装置。

【請求項 9】 請求項 2 から 8 のいずれか 1 項に記載の光電変換装置において、前記光電変換素子が、前記第 2 の半導体領域の表面に第 1 導電型の半導体領域を形成した埋め込み型フォトダイオードである光電変換装置。

【請求項 10】 請求項 2 から 9 のいずれか 1 項に記載の光電変換装置において、前記素子分離絶縁膜は選択酸化分離により形成されている光電変換装置。

【請求項 11】 請求項 2 から 9 のいずれか 1 項に記載の光電変換装置において、前記素子分離絶縁膜はメサ分離により形成されている光電変換装置。

【請求項 12】 請求項 2 から 9 のいずれか 1 項に記載の光電変換装置において、前記素子分離絶縁膜はトレンチ分離により形成されている光電変換装置。

【請求項 13】 請求項 2 から 12 のいずれか 1 項に記載の光電変換装置において、前記光電変換素子からの信号を増幅する増幅用のトランジスタを有していることを特徴とする光電変換装置。

【請求項 14】 請求項 2 から 13 のいずれか 1 項に記載の光電変換装置において、前記光電変換装置が 1 次元、あるいは 2 次元のマトリックス状に配置されている光電変換装置。

【請求項 15】 請求項 2 から 14 のいずれか 1 項に記載の光電変換装置と、前記光電変換装置に画像を結像する光学系と、前記光電変換装置からの画像信号を記憶する手段とを有することを特徴とする撮像装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は半導体装置、光電変換装置、およびそれを用いた増幅型固体撮像装置、システムに関するものでありデジタルカメラ、ビデオカメラ、複写機、ファクシミリなどの撮像装置およびシステムに関する。

【0002】

【従来の技術】 光電変換素子を含む固体撮像素子を 1 次元あるいは 2 次元に配列したイメージセンサはデジタルカメラ、ビデオカメラ、複写機、ファクシミリなどに数多く搭載されている。固体撮像素子には例えば CCD 撮像素子や増幅型固体撮像素子がある。

【0003】 これらの撮像素子は多画素化の傾向にあり、1 画素の面積の縮小にともないフォトダイオード面積もまた減少していく傾向にある。したがってより小さな信号電荷量を扱う必要が生じると共にノイズ成分となるフォトダイオードのリーク電流をより小さくしていく必要性が生じてきている。

【0004】 増幅型固体撮像素子の回路構成例を図 15 に示す。増幅型固体撮像素子では、単位画素内に少なく

10

20

30

40

50

ともフォトダイオードPDとフォトダイオードに蓄積された光信号を増幅するトランジスタTrを有している。画素構成は後述する図3の画素構成と同じであり、垂直走査回路(VSR)により画素行に各画素の信号読み出し、リセット動作が制御され、読み出された信号は容量Cに保持され、水平走査回路(HSR)によって画素列ごとに水平出力線から順次出力される。

【0005】図16は従来の増幅型MOSセンサにおける単位セル内のフォトダイオードの断面構造を示したものである。図16に示されるように、n型基板101上のp型半導体層102とともにフォトダイオードを構成するn型領域103は素子分離の選択酸化膜104に対して自己整合的に作られており、フォトダイオードの面積に相当するn型領域103の面積を限界まで大きくする構造になっている。素子分離の選択酸化膜104の下には隣接するMOSトランジスタのソースドレイン領域107とフォトダイオードのn型領域103とのパンチスルー耐圧を向上するためのチャネルストップ領域106が形成されている。また、素子分離の選択酸化膜104の上にはトランジスタの配線層105が形成されている。

【0006】

【発明が解決しようとする課題】ところが、図16において、トランジスタの配線層105の電位がHIGHレベル(例えば+5V)に印加された場合、その下のP型チャネルストップ領域106の実効的な濃度が低下してしまい、配線層105の下部において少数キャリア濃度が増加してしまう。この少数キャリア(電子)がフォトダイオード中に拡散することによりフォトダイオードの暗電流が増大するという問題が発生する。

【0007】その対策としてP型のチャネルストップ領域106の濃度を上げることが考えられるが、その際に隣接するソースドレイン領域107のN⁺領域に対して接合耐圧が低下する、あるいは接合間のリーク電流が増大してしまうという問題がある。

【0008】また、選択酸化により形成された素子分離の選択酸化膜104の膜厚を増やすことも考えられるがその際に配線層105の段差が増え、微細配線の形成に不向きになり、断線や短絡しやすくなるという問題が生じる。

【0009】従って、暗電流の増加によりノイズが増大しS/Nの劣化が生じるという課題があった。

【0010】

【課題を解決するための手段】上記課題を解決するための本発明の半導体装置は、第1導電型の第1の半導体領域及び該第1の半導体領域内に形成された第2導電型の第2の半導体領域を有する半導体素子と、前記半導体素子と隣接する素子との間に形成された素子分離絶縁膜と、前記素子分離絶縁膜の下部に形成された前記第1の半導体領域の濃度よりも高い濃度の第1導電型の第3の半導体領域と、前記素子分離絶縁膜上の一部に形成され

た導電体層とを有する半導体装置において、前記導電体層が前記素子分離絶縁膜を挟んで対向する領域の少なくとも一部に前記第3の半導体領域の濃度よりも高い濃度の第1導電型の第4の半導体領域を設けたことを特徴とする半導体装置である。

【0011】また本発明の光電変換装置は、第1導電型の第1の半導体領域及び該第1の半導体領域内に形成された第2導電型の第2の半導体領域を有する光電変換素子と、前記光電変換素子と隣接する素子との間に形成された素子分離絶縁膜と、前記素子分離絶縁膜の下部に形成された前記第1の半導体領域の濃度よりも高い濃度の第1導電型の第3の半導体領域と、前記素子分離絶縁膜上の一部に形成された導電体層とを有する光電変換装置において、前記導電体層が前記素子分離絶縁膜を挟んで対向する領域の少なくとも一部に前記第3の半導体領域の濃度よりも高い濃度の第1導電型の第4の半導体領域を設けたことを特徴とする光電変換装置である。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について説明する。なお、本発明は半導体装置一般に適用可能であるが、以下の説明では一例として光電変換装置及び撮像装置を取りあげて説明を行う。

【0013】(実施形態1)図1、図2及び図3に本発明の光電変換装置の第1の実施形態の断面図、平面図およびその一画素の等価回路図を示す。

【0014】図1中、101は例えばn型の半導体基板、102はP型の半導体層であり、103のN型の半導体領域と共に光電変換素子となるフォトダイオードを形成している。104は素子分離絶縁膜、105は配線層であり、106はP型のチャネルストップ領域であり、素子分離絶縁膜104の下に設けられている。107は隣接するMOSトランジスタのソースドレイン領域である。108はP⁺の暗電流低減領域でありこの部分の濃度はチャネルストップ領域106の濃度よりも高い濃度になっている。

【0015】次に図2及び図3を用いて回路構成を説明する。図2のA-A'線の断面は図1の断面に対応するものである。図2及び図3において、201は光電変換をするためのフォトダイオード(図2に示す201は図1のN型の半導体領域103に対応する)、202はフォトダイオード201およびフローティングディフュージョン(FD)領域206をリセットするためのリセットトランジスタ、203はフォトダイオード201の信号電荷を読み出すための転送MOSトランジスタである。また、204は読み出した電荷を電圧変換するためのソースフォロアアンプ(MOSトランジスタ)であり、FD領域206と接続されている。また、205は行選択MOSトランジスタであり、ソースフォロアアンプの出力を信号線に接続している。フォトダイオード201からの信号電荷は転送MOSトランジスタ203を介して、フローティングディフュージョン(FD)領域206に転送され、このFD領域206と接続されるソースフォロアアン

ブ (MOSトランジスタ) 204のゲートに入力される。そして、行選択MOSトランジスタ205を介してソースフォロアアンプ (MOSトランジスタ) 204により電圧変換された信号が出力される。図2中「□」はコンタクトホールを示す。

【0016】次に図3および図4を用いて回路動作を説明する。図3及び図4において、 ϕ_{tx} 、 ϕ_{res} 、 ϕ_{sel} は転送MOSトランジスタ203、リセットトランジスタ202、行選択MOSトランジスタ205をオンオフ制御する制御信号である。

【0017】図3のフォトダイオード201をリセットするためにリセットMOSトランジスタ202および転送MOSトランジスタ203をON状態にし、フォトダイオード201をリセットする。その後転送MOSトランジスタ203をOFF状態とする。この状態からフォトダイオード201は蓄積状態に入る。蓄積時間 t_s だけ経過した後にリセットMOSトランジスタ202をOFF状態とし、選択MOSトランジスタ205をON状態とすることによりソースフォロアアンプ204を活性化させた状態で転送MOSトランジスタ203をON状態とすることによりフォトダイオード201の信号電荷を読み出す。

【0018】蓄積状態では、FD領域206はVdd、例えば+5Vの電圧が印加されたHIGHレベルの状態になっており図2のMOSトランジスタ204およびリセットMOSトランジスタ202のゲート電位はHIGHレベルの状態であり、図1の配線層105の電位はHIGHレベルになっている。なお、ここでは配線層105はFD領域206とMOSトランジスタ204とを接続する配線層である。このとき配線層105の下部ではP型チャネルストップ領域106の濃度が実効的に下がり、配線層105が上部にない領域106' に比べ少数キャリアの濃度が高くなる効果が生まれる。仮に、暗電流低減領域108がなかった場合、発生したより多く発生した少数キャリアはフォトダイオード201中に拡散しS/Nを劣化させてしまう。

【0019】本実施形態では、この配線層105の下部に暗電流低減領域108を設け、配線層105の下に少数キャリアが発生される状態においても少数キャリアの濃度を抑える効果がある。したがってP型チャネルストップ領域106から拡散によりフォトダイオード201中に蓄積される暗電流を減少させることができ、高いS/Nをもつセンサを実現することができる。

【0020】暗電流低減領域108の濃度としては素子分離絶縁膜104の厚さ、その比誘電率、配線層105の材料の仕事関数などに依存するがPチャネルストップ領域106よりも高い濃度であれば効果がある。好ましくはPチャネルストップ領域106' の少数キャリア密度を N_{p1} としたとき、配線層105の電位がHIGHレベルになった際の暗電流低減領域108の少数キャリア密度 N_{p2} との関係が $N_{p1} \geq N_{p2}$ であることが好ましい。例えば、基板がSi (珪素) であり、Pチャネルストップ領域106' の多数キャリア濃度

が $1 \times 10^{17} \text{ cm}^{-3}$ で素子分離絶縁膜が SiO_2 (二酸化珪素) で形成されその厚さが $0.35 \mu\text{m}$ の場合、暗電流低減領域108のP型層の多数キャリア濃度は $3 \times 10^{17} \text{ cm}^{-3}$ 程度が好ましい。

【0021】また、図1に示したように108の領域は配線層105の直下に部分的に配置するだけでも効果はある。

【0022】さらに図5に示すように暗電流低減領域108が配線層105の直下の領域を内包する、あるいは図6のようにフォトダイオード側にのみはみ出した形状でも良い。このことにより配線層105の電位がHIGHレベルの際に基板側に向かって発生した電気力線の内、配線層105の両端部で生じる水平方向に広がった電気力線がPチャネルストップ領域108に終端することによる少数キャリアの増加を抑制することができるからである。また、図6で示したように配線層105が上部に形成されていない領域に暗電流低減領域108を形成しても何ら問題はないし、蓄積時間中に配線層105の電位がLOWレベルである領域に形成しても良い。しかしながらいずれの図においても示したように、高濃度の N^+ 領域であるソースドレイン領域107と暗電流低減領域108の領域の間にはPチャネルストップ領域106を介在させるかあるいは暗電流低減領域108よりも低濃度なP層を形成することにより、 N^+ と P^+ の接合間の電界を緩和する層を形成し接合耐圧の向上、あるいはリーク電流の低減をはかることが望ましい。このことはフォトダイオードから発生した光電荷を保持するフローティングディフュージョン領域206の一部を形成する N^+ 領域との間では特に重要であり、暗電流低減領域108とソースドレイン領域107の間にはPチャネルストップ領域106の領域をはさむ、あるいは暗電流低減領域108よりも低濃度なP層を形成することがより望ましい。ソースドレイン領域107と暗電流低減領域108の間の距離としては望ましくは $0.2 \mu\text{m}$ 以上、より望ましくは $0.3 \mu\text{m} \sim 0.4 \mu\text{m}$ 離すのが好ましい。

【0023】また、これらの構造はフォトダイオードのN型の半導体領域103の表面に P^+ 層を形成した埋め込み型のフォトダイオードに適用しても良い。

【0024】また、これらの光電変換装置を図15に示すごとく2次元のアレイ状に配置することができる。また、図15では、単位画素が 3×4 個配列された回路を示しているが、本発明はその画素数、及び単位画素の回路構成はこれに限定されず、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0025】(実施形態2) 図7に本発明の光電変換装置の第2の実施形態を示す。本実施形態の特徴は暗電流低減領域701が領域702で示したように、フォトダイオードの一部まで拡張されていることにある。図1と同一構成部材については同一符号を付する。

【0026】第1の実施形態を示す図5を用いて述べたように、ソースドレイン107の形状は配線層105の直下の

10

20

30

40

50

領域を内包するように形成することが望ましいが、図 7 に示すように配線層 105 が素子分離絶縁膜 104 上でフォトダイオードに近接して形成されている際には領域 702 のように一部、素子分離絶縁膜 104 の直下にとどまらず、フォトダイオード側にはみ出すことが望ましい。

【0027】また、これらの構造をフォトダイオードの表面に P⁺ 層 801 を形成した埋め込み型のフォトダイオードに適用した例を図 8 に示す。図 8 に示すように、P⁺ 層 801 の端部ではその上に暗電流低減領域 701 が延びて形成されている。

【0028】また、図 9 に示すように暗電流低減領域 901 の形状をフォトダイオード側で深く形成しても良い、その際には図中 a で示す P 型のチャネルストップ領域 106 の深さ（表面からの距離）よりも、フォトダイオードに接する暗電流低減領域 901 部分の深さ b が深いほうが好ましい。このことにより、配線層 105 の直下で発生したわずかな少数キャリアに対しポテンシャルバリアを形成することができ、フォトダイオード内にこれらのキャリアが拡散してくる量をさらに減らすことができる。

【0029】図 7 および図 9 ではフォトダイオードの N 型領域 103 と暗電流低減領域 701、901 が直接接している例を示したが近接すればよく、必ずしも接している必要はない。

【0030】図 8 および図 9 の暗電流低減領域の形状は以下のようにして形成できる。

【0031】図 10 (a)、(b) は図 8 の暗電流低減領域を形成する工程を示した断面図である。n 型の半導体基板 101 の表面に P 型の半導体層 102 を形成し、その表面に犠牲酸化膜 1001 をたとえば 200 Å 成長させる。その後、窒化シリコン (Si₃N₄) 膜 1002 を 1500 Å 堆積後、素子分離用のマスクを用いて窒化シリコン膜 1002 を通常のフォトリソグラフィ技術でパタンニングし、そのパタンに対して自己整合的に P 型のチャネルストップ領域 106 になる不純物、例えばホウ素イオン (B⁺) を $1.5 \times 10^{13} \text{ cm}^{-2}$ 、60 keV で領域 1003 に注入し図 10 (a) に至る。さらにレジスト塗布後、パタンニングしてレジスト領域 1004 を形成する。この状態で犠牲酸化膜 1001 と窒化シリコン 1002 の膜を突き抜ける条件、たとえばホウ素 (B⁺) イオンを 135 keV で $3 \times 10^{13} \text{ cm}^{-2}$ 注入すると犠牲酸化膜 1001 のみがある部分は領域 1005a に示す様に深く、犠牲酸化膜 1001 と窒化シリコン膜 1002 の両方の膜がある部分に関しては領域 1005b のごとく浅く形成され図 10 (b) が形成される。この注入後、レジスト領域 1004 を剥離し選択酸化膜を形成することにより図 8 の形状の暗電流低減領域 701 が形成される。

【0032】図 11 は図 9 の暗電流低減領域を形成する工程を示した断面図である。まず、図 8 の暗電流低減領域の形成工程と同様に、領域 1003 に P 型のチャネルストップ領域 106 を形成し図 10 (a) に至る。その後、選択酸化膜を例えば 4000 Å 形成し、必要箇所をレジストでパタ

ンニングし選択酸化膜の素子分離絶縁膜を突き抜ける条件、たとえばホウ素 (B⁺) イオンを 135 keV で注入し図 11 に至り、暗電流低減領域 901 の形状がフォトダイオード側で深い 1101a の部分と、素子分離絶縁膜側で浅い 1101b の部分をもつ構造を同時に形成することができる。さらに N 型の半導体領域 103、ソースドレイン 107 の N⁺ 層等を形成し、図 9 に示す形状が形成される。

【0033】（実施形態 3）図 12 は本発明の光電変換装置の第 3 の実施形態を示したものである。図 12 において、1201 は所謂メサ分離により形成された素子分離絶縁膜である。その他の構成は図 1 に示した第 1 実施形態と同じである。なお、第 2 実施形態で説明した各形状の暗電流低減領域としてもよい。本実施形態においても、本発明の第 1 及び第 2 の実施形態と同様の効果が得られる。

【0034】（実施形態 4）図 13 は本発明の光電変換装置の第 4 の実施例を示したものである。

【0035】図 13 において、1301 は所謂トレンチ分離により形成された素子分離絶縁膜である。その他の構成は図 1 に示した第 1 実施形態と同じである。なお、第 2 実施形態で説明した各形状の暗電流低減領域としてもよい。

【0036】本実施形態においても、本発明の第 1 及び第 2 の実施形態と同様の効果が得られる。

【0037】（実施形態 5）以下、本発明の撮像装置の実施形態について説明する。

【0038】図 14 は、本発明の撮像装置として、前述した各実施形態の光電変換装置を用いた撮像装置のシステムの構成図である。撮像装置は、レンズのプロテクトとメインスイッチを兼ねるバリア 1、被写体の光学像を固体撮像素子 4 に結像させるレンズ 2、レンズ 2 を通った光量を可変するための絞り 3、レンズ 2 で結像された被写体を画像信号として取り込むための固体撮像素子 4（上記の各実施形態で説明した光電変換装置が 1 次元あるいは 2 次元のマトリックス状に配置されて構成される）、固体撮像素子 4 から出力される画像信号に各種の補正、クランプ等の処理を行う撮像信号処理回路 5、固体撮像素子 4 より出力される画像信号のアナログ→デジタル変換を行う A/D 変換器 6、A/D 変換器 6 より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部 7、固体撮像素子 4 及び撮像信号処理回路 5 及び A/D 変換器 6 及び信号処理部 7 に各種タイミング信号を出力するタイミング発生部 8 で構成される。なお、撮像信号処理回路 5、A/D 変換器 6、信号処理部 7、タイミング発生部 8 の各回路は固体撮像素子 4 と同一チップ上に形成しても良い。また、各種演算とスチルビデオカメラ全体を制御する全体制御・演算部 9、画像データを一時的に記憶するためのメモリ部 10、記録媒体に記録又は読み出しを行うための記録媒体制御インターフェース部 11、画像データの記録又は読

み出しを行うための半導体メモリ等の着脱可能な記録媒体 12、外部コンピュータ等と通信するための外部インターフェース (I/F) 部 13 で固体撮像システムは構成される。

【0039】次に、図 14 の動作について説明する。バリア 1 がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、さらに、A/D 変換器 6 などの撮像系回路の電源がオンされる。それから、露光量を制御するために、全体制御・演算部 9 は絞り 3 を開放にし、固体撮像素子 4 から出力された信号は、撮像信号処理回路 5 をスルーして A/D 変換器 6 へ出力される。A/D 変換器 6 は、その信号を A/D 変換して、信号処理部 7 に出力する。信号処理部 7 は、そのデータを基に露出の演算を全体制御・演算部 9 で行う。

【0040】この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部 9 は絞り 3 を制御する。次に、固体撮像素子 4 から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部 9 で行う。その後、レンズ 2 を駆動して合焦か否かを判断し、合焦していないと判断したときは、再びレンズ 2 を駆動し測距を行う。

【0041】そして、合焦が確認された後に本露光が始まる。露光が終了すると、固体撮像素子 4 から出力された画像信号は、撮像信号処理回路 5 において補正等がされ、さらに A/D 変換器 6 で A/D 変換され、信号処理部 7 を通り全体制御・演算部 9 によりメモリ部 10 に蓄積される。その後、メモリ部 10 に蓄積されたデータは、全体制御・演算部 9 の制御により記録媒体制御 I/F 部 11 を通り半導体メモリ等の着脱可能な記録媒体 12 に記録される。また外部 I/F 部 13 を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

【0042】

【発明の効果】以上述べたように、本発明によれば、光電変換素子のリーク電流を低減でき高い S/N を有する光電変換装置および固体撮像装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明の光電変換装置の第 1 の実施形態の断面図である。

【図 2】本発明の光電変換装置の第 1 の実施形態の平面図である。

【図 3】本発明の光電変換装置の第 1 の実施形態の 1 画素の回路図である。

【図 4】本発明の光電変換装置のタイミング図である。

【図 5】本発明の光電変換装置の第 1 の実施形態の変形例の断面図である。

【図 6】本発明の光電変換装置の第 1 の実施形態の他の変形例の断面図である。

【図 7】本発明の光電変換装置の第 2 の実施形態の断面図である。

【図 8】本発明の光電変換装置の第 2 の実施形態の変形例の断面図である。

【図 9】本発明の光電変換装置の第 2 の実施形態の他の変形例の断面図である。

【図 10】本発明の光電変換装置のプロセスフロー図である。

【図 11】本発明の光電変換装置のプロセスフロー図である。

【図 12】本発明の光電変換装置の第 3 の実施形態の断面図である。

【図 13】本発明の光電変換装置の第 4 の実施形態の断面図である。

【図 14】本発明の撮像装置のシステム図である。

【図 15】増幅型固体撮像素子の回路構成例である。

【図 16】従来の光電変換装置の断面図である。

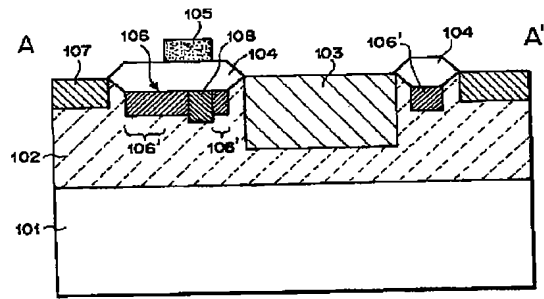
【符号の説明】

- 1 バリア
- 2 レンズ
- 3 絞り
- 4 固体撮像素子
- 5 撮像信号処理回路
- 6 A/D 変換器
- 7 信号処理部
- 8 タイミング発生部
- 9 全体制御・演算部
- 10 メモリ部
- 11 記録媒体制御インターフェース (I/F) 部
- 12 記録媒体
- 13 外部インターフェース (I/F) 部
- 20 欠陥領域
- 101 n 型基板
- 02 p 型半導体層
- 103 n 型半導体領域
- 104 素子分離絶縁膜
- 105 配線層
- 106 p 型のチャネルストップ領域
- 106' 上部に配線層のない p 型のチャネルストップ領域
- 107 高濃度 N 領域
- 108 p⁺ 暗電流低減領域
- 201 フォトダイオード
- 202 リセットトランジスタ
- 203 転送 MOS トランジスタ
- 204 ソースフォロアアンプ
- 205 行選択 MOS トランジスタ
- 206 フローティングディフュージョン (FD) 領域
- 701 暗電流低減領域
- 702 フォトダイオード側に拡張された暗電流低減領域
- 801 p⁺ 層
- 50 901 暗電流低減領域

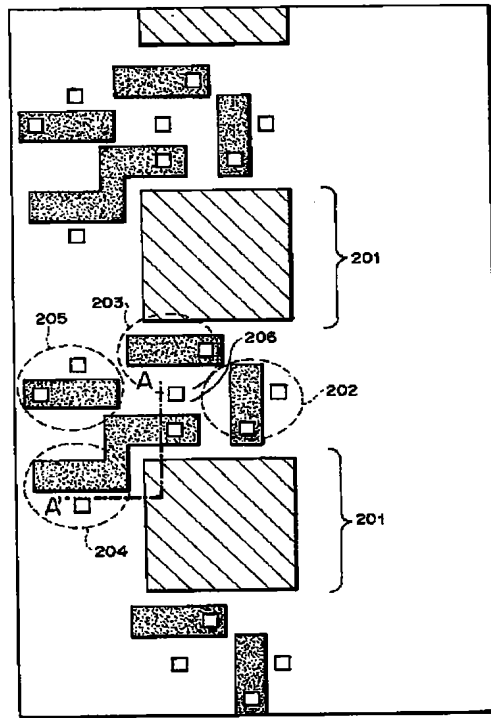
- 1001 犠牲酸化膜
- 1002 窒化シリコン膜
- 1003 不純物イオン注入領域
- 1004 レジスト層
- 1005a 深くイオン注入された不純物イオン

- * 1005b 浅くイオン注入された不純物イオン
- 1101a 深くイオン注入された不純物イオン
- 1101b 浅くイオン注入された不純物イオン
- 1201 メサ形状の素子分離絶縁膜
- * 1301 トレンチ形状の素子分離絶縁膜

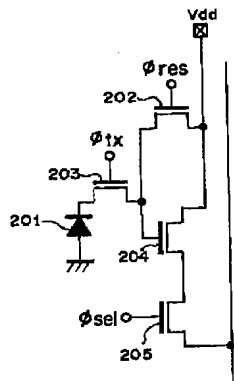
【図 1】



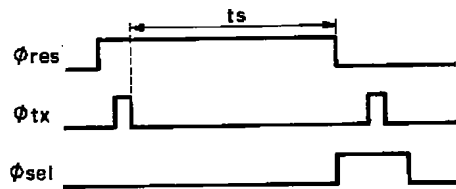
【図 2】



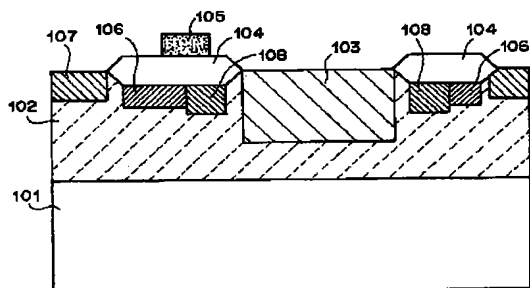
【図 3】



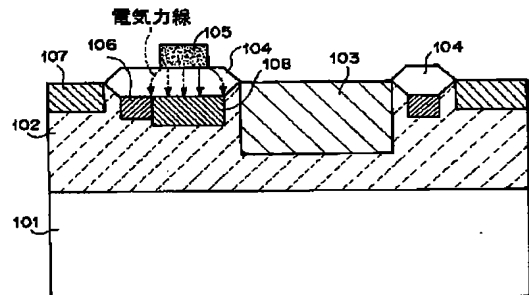
【図 4】



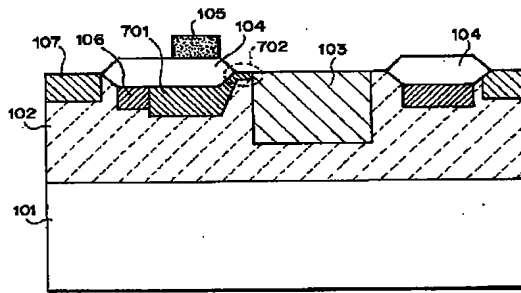
【図 6】



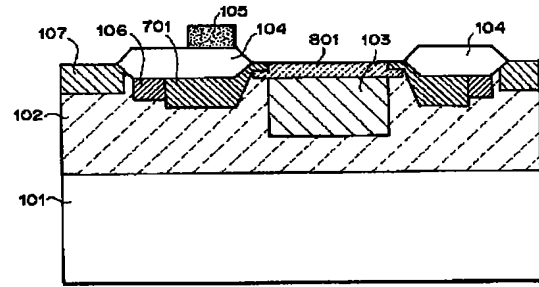
【図 5】



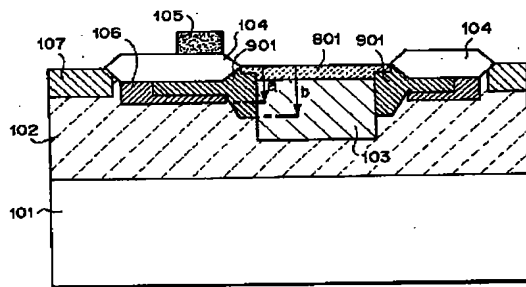
【図 7】



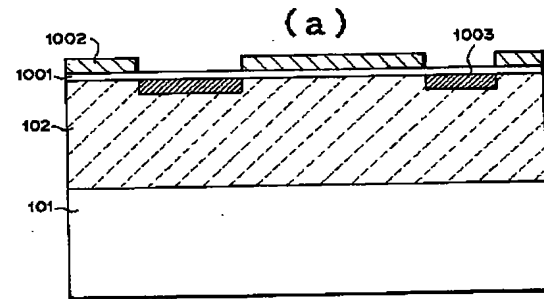
【図 8】



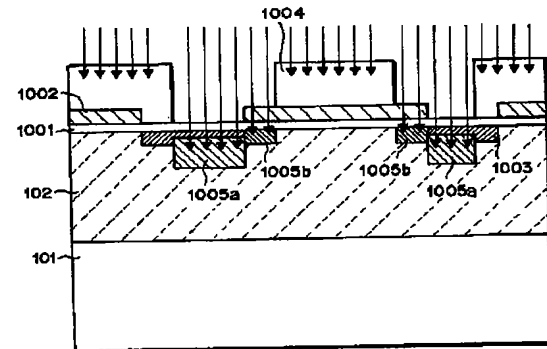
【図 9】



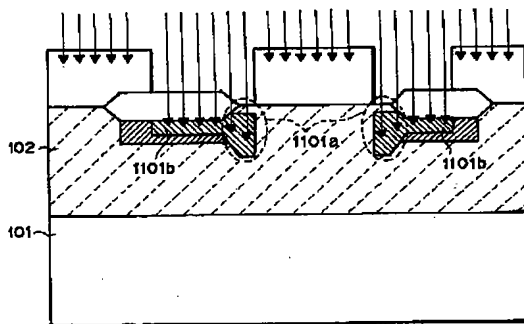
【図 10】



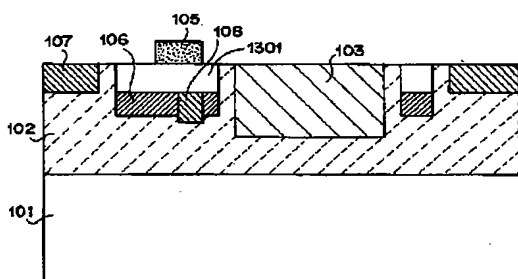
(b)



【図 11】



【図 13】



【図 12】

